PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-198638

(43)Date of publication of application : 12.07.2002

(51)Int.Cl. H05K 3/34

H01L 23/12

H05K 1/18

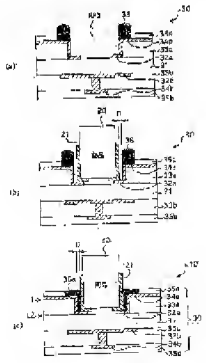
(21)Application number : 2000-397102

(22)Date of filing : 27.12.2000

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(72)Inventor : KUBOTA KAZUYUKI

(54) MOUNTING BOARD FOR CHIP COMPONENT, MANUFACTURING METHOD THEREFOR, MOUNTING BOARD AND MOUNTING METHOD



(57)Abstract:

PROBLEM TO BE SOLVED: To stably mount a high leadless component (chip component) without increasing a mounting area and to miniaturize a board. SOLUTION: The mounting board 30 of the chip component is constituted of an

insulating layer 33a which is formed on one face of a core board 31 constituted of an insulating material and has an opening part being the side wall of a mounting recessed part RP3 in the chip component 20 and a pair of conductor layers 32a and 34a formed stepwise along a base peripheral edge part on the upper face of the core board 31, which becomes the base of the recessed part RP3, through opposite side walls on both sides in the recessed part RP3 from the opening peripheral edge part of the upper face of the insulating layer. The opening area of the recessed part RP3 is formed to be larger than the mounting area of the chip component so that it can be soldered by arranging the chip component 20 in the recessed part. Solder 36 is stuck to parts formed at the opening peripheral edge parts of the conductor layers 32a and 34a. Solder 36 is melted (36a) and the chip component 20 is mounted.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] The core substrate which consists of an insulating ingredient, and an insulating layer with opening which is formed in one field of this core substrate, and serves as a side attachment wall of the crevice for chip component mounting, It has one pair of conductor layers which covered the base periphery section of the top face of said core substrate which serves as a base of a crevice from the opening periphery section of the top face of this insulating layer through the side attachment wall of both sides with which said crevice counters, and were formed stair-like, respectively. While being formed more greatly than the component-side product of said chip so that the opening area of said crevice can arrange and solder a chip to this crevice The substrate for mounting of the chip characterized by putting solder on the part formed in said opening periphery section of one pair of said conductor layers, respectively.

[Claim 2] While the chip which has one pair of electrodes which covered the base from the side face of both sides, and were formed in the crevice established in the substrate for mounting of a chip according to claim 1 in the shape of L character, respectively is joined with solder, this solder Mounting structure of the chip characterized by filling up the clearance between said chips and said crevices, and connecting electrically one pair of stair-like conductor layers formed

in one pair of electrodes and said substrate for mounting of the shape of L character of said chip.

[Claim 3] Mounting structure of the chip according to claim 2 characterized by mounting said chip so that it may project from the top face of said substrate for mounting.

[Claim 4] Mounting structure of the chip according to claim 2 characterized by being mounted so that said chip may not project from the top face of said substrate for mounting, connecting with said substrate for mounting electrically, and mounting another electronic parts above this chip further.

[Claim 5] The process which sets spacing selected by the larger value than the component-side product of the chip which should be mounted to one field of the core substrate which consists of an insulating ingredient, and forms one pair of conductor layers in it, The process which forms in one field of said core substrate an insulating layer with opening which serves as a side attachment wall of the crevice for said chip component mounting so that said one pair of conductor layers may be surrounded, The process which covers the side attachment wall of both sides with which said crevice counters from the opening periphery section of the top face of this insulating layer, and forms said one pair of conductor layers, and one pair of conductor layers of the shape of L character which flows on an electric target, respectively, The manufacture approach of the substrate for mounting of the chip characterized by including the process which makes solder put on the part formed in said opening periphery section of one pair of conductor layers of the shape of this L character, respectively.

[Claim 6] The chip which has one pair of electrodes which covered the base from the side face of both sides, and were formed in the crevice of the substrate for mounting of a chip according to claim 1 in the shape of L character, respectively is arranged. The mounting approach of the chip which performs the reflow of the solder put on the conductor-layer part formed in the opening periphery section of the top face of said substrate for mounting, and is characterized by filling up the

clearance between said chips and said crevices with the fused solder, and mounting the chip concerned in the substrate for mounting.

[Translation done.]

* NOTICES *

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to mounting structure and the mounting approach at the substrate for mounting which was adapted for mounting tall lead loess components in stability especially, and its manufacture approach list about the mounting technology of lead loess components, such as a chip-like capacitative element and a resistance element. In the following description, lead loess components, such as a chip-like capacitative element (chip capacitor) and a resistance element, are made to also call it a "chip" for convenience.

[0002]

[Description of the Prior Art] In the product with which height was decided like the PC card, lead loess components, such as a tall chip capacitor, may be unable to be used by the clearance. The example is shown in drawing 1 (a). A substrate for

a case (for example, case of a PC card) with regular height H in one, the tall lead loess components with which 2 should be held in a case 1 (mounting), and 3 to mount the lead loess components 2, and 4 show among drawing the electrode pad formed on the substrate 3. The lead loess components 2 are mounted by connecting the electrode (not shown) to the electrode pad 4 on a substrate 3 electrically. Generally this mounting is performed by soldering by the reflow. The lead loess components 2 originate in the height, and cannot be held in a case 1 so that it may illustrate to drawing 1 (a).

[0003] In such a case, an approach as shown in drawing 1 (b) - (d) can be considered as the cure. By the approach shown in drawing 1 (b), the height of lead loess components 2a is restricted so that it may hold in case 1a with regular height H. That is, lead loess components 2a with the one low back which has the same function as the lead loess components 2 shown in drawing 1 (a) is used. Similarly, also by the approach shown in drawing 1 (c), the height of lead loess components 2b is restricted so that it may hold in case 1b with regular height H, and the function equivalent to the lead loess components 2 shown in drawing 1 (a) in this case combining two or more short lead loess components 2bs is given. Moreover, by the approach shown in drawing 1 (d), instead of holding the lead loess components 2 which should be mounted in the original case 1 with regular height H, it held in another external case 5 (external [so-called / "external / of components /"]), and this and a case 1 are electrically connected by the cable 6 grade.

[0004] In addition, in drawing 1 (b) - (d), a substrate for 3a, 3b, and 7 to mount lead loess components 2a, 2b, and 2, respectively, and 4a, 4b and 8 show the electrode pad formed in substrates 3a, 3b, and 7, respectively. Moreover, an approach as shown in drawing 2 (b) can be considered as another cure. In addition, drawing 2 (a) corresponds to instantiation of drawing 1 (a), and shows the condition that the tall lead loess components 2 cannot be held in the case 1 with regular height H. By the approach shown in drawing 2 (b), it faced holding the lead loess components 2 in case 1c with regular height H, the suitable

crevice (level difference specified according to a difference with the level L1 and L2 of height) for substrate 3c in case 1c was prepared, and the height of the part which cannot hold the lead loess components 2 with this level difference is secured.

[0005] By this approach, the component side of the lead loess components 2 is in the field (level L2) in which the crevice is formed instead of the top face (level L1) of substrate 3c. For this reason, it is necessary to secure the workspace (tooth space SP) which performs soldering for connecting the electrode (not shown) of the lead loess components 2 to electrode pad 4c on substrate 3c electrically.

[0006]

[Problem(s) to be Solved by the Invention] As mentioned above, in the conventional mounting technology illustrated to drawing 1 R> 1 and drawing 2 , it may be canceled, but on the other hand the trouble (that is, trouble that the components concerned cannot be held) resulting from the clearance of the case which should hold lead loess components has the following technical problems. That is, in order to secure original functions (the capacitance of predetermined magnitude, an inductance, resistance, etc.), the magnitude (size) decided to some extent is required for lead loess components, such as a chip capacitor.

[0007] For this reason, only in lead loess components 2a and the part to which the height of 2b was restricted, by the approach shown in drawing 1 (b) and (c), that horizontal size, i.e., a component-side product, becomes large. Consequently, Substrates 3a and 3b also need the thing of magnitude according to it (buildup of substrate area), and the cases 1a and 1b which hold this are enlarged, as a result the inconvenience that the magnitude of the whole product becomes large arises.

[0008] Moreover, by the "external of components" approach shown in drawing 1 (d), since another external case 5 for originally holding the component concerned other than the case 1 which should hold the lead loess components 2 is needed, the inconvenience that the whole product is enlarged arises like the above. Since the workspace (tooth space SP) which performs soldering for mounting the lead

loess components 2 by the approach shown in drawing 2 (b) on the other hand is needed, like the approach shown in drawing 1 (b) and (c), the area of substrate 3c increases and the technical problem that enlargement of case 1c which holds this, as a result enlargement of the whole product are caused occurs. Moreover, there is also disadvantage that the part and packaging density which need the excessive tooth space SP fall.

[0009] Furthermore, since the crevice (level difference specified by L1 and L2) is established in substrate 3c, it may face performing soldering by the reflow, unevenness may arise in heat conduction, and the disadvantage that a reflow cannot be well performed depending on the case is also assumed. That is, the technical problem that mounting by which the lead loess components 2 were stabilized could not necessarily be ensured occurred.

[0010] Without having been created in view of the technical problem in the conventional technique mentioned above, and increasing a component-side product, this invention enables mounting by which tall lead loess components (chip) were stabilized, and aims at offering the substrate for mounting, the mounting structure, and its manufacture approach of the chip which can be contributed to the miniaturization of a substrate.

[0011]

[Means for Solving the Problem] In order to solve the technical problem of the conventional technique mentioned above, according to one gestalt of this invention The core substrate which consists of an insulating ingredient, and an insulating layer with opening which is formed in one field of this core substrate, and serves as a side attachment wall of the crevice for chip component mounting, It has one pair of conductor layers which covered the base periphery section of the top face of said core substrate which serves as a base of a crevice from the opening periphery section of the top face of this insulating layer through the side attachment wall of both sides with which said crevice counters, and were formed stair-like, respectively. While being formed more greatly than the component-side product of said chip so that the opening area of said crevice can arrange and

solder a chip to this crevice The substrate for mounting of the chip characterized by putting solder on the part formed in said opening periphery section of one pair of said conductor layers, respectively is offered.

[0012] According to the substrate for mounting of the chip concerning this invention, since the upper bed section (each conductor layer of the part formed in the top face of an insulating layer) of the both sides of a crevice adheres to solder, by the way, a chip can be mounted in the crevice of the substrate for mounting by the thing which is a next process or is the need and which is done for melting of this solder by the reflow. Magnitude of the crevice offered as a mounting field of a chip at this time can be soldered without needing the excessive tooth space SP needed with the conventional technique as shown, for example in drawing 2 (b), since only the part of tolerance is slightly selected from the component-side product of the components concerned greatly. This enables it to perform mounting by which the tall chip was stabilized, without increasing a component-side product (miniaturization of a substrate).

[0013] While the chip which has one pair of electrodes which covered the base from the side face of both sides, and were formed in the crevice established in the substrate for mounting of the chip mentioned above in the shape of L character, respectively is joined with solder according to other gestalten of this invention, moreover, this solder The clearance between said chips and said crevices is filled up, and the mounting structure of the chip characterized by connecting electrically one pair of stair-like conductor layers formed in one pair of electrodes and said substrate for mounting of the shape of L character of said chip is offered.

[0014] According to this mounting structure, the clearance between a chip and a crevice is filled, and while the electric connection between the electrode of the shape of L character of a chip and the stair-like conductor layer formed in the substrate for mounting is secured by the solder fused, for example by the reflow, mounting reinforcement can be increased with it. This contributes to mounting by which the chip was stabilized more. Moreover, according to the gestalt of further

others of this invention, the manufacture approach of the substrate for mounting of the chip mentioned above is offered. The process which this manufacture approach sets spacing selected by the larger value than the component-side product of the chip which should be mounted in one field of the core substrate which consists of an insulating ingredient, and forms one pair of conductor layers, The process which forms in one field of said core substrate an insulating layer with opening which serves as a side attachment wall of the crevice for said chip component mounting so that said one pair of conductor layers may be surrounded, The process which covers the side attachment wall of both sides with which said crevice counters from the opening periphery section of the top face of this insulating layer, and forms said one pair of conductor layers, and one pair of conductor layers of the shape of L character which flows on an electric target, respectively, It is characterized by including the process which makes solder put on the part formed in said opening periphery section of one pair of conductor layers of the shape of this L character, respectively.

[0015] Furthermore, according to other gestalten of this invention, the mounting approach of the chip mentioned above is offered. This mounting approach arranges the chip which has one pair of electrodes which covered the base from the side face of both sides, and were formed in the crevice of the substrate for mounting of the chip mentioned above in the shape of L character, respectively. The reflow of the solder put on the conductor-layer part formed in the opening periphery section of the top face of said substrate for mounting is performed, and it is characterized by filling up the clearance between said chips and said crevices with the fused solder, and mounting the chip concerned in the substrate for mounting.

[0016]

[Embodiment of the Invention] Drawing 3 shows typically the mounting structure of the lead loess components concerning 1 operation gestalt of this invention with the gestalt of a sectional view. The mounting structure 10 of the lead loess components concerning this operation gestalt has the configuration in which the

tall lead loess components 20 were mounted in the crevice (part shown by the reference mark RP 3 in drawing 8 (a)) formed in the substrate 30 for mounting.
[0017] The lead loess components 20 are seen from a side face like a graphic display, and it has the shape of a rectangle, and it applies to a base from the side face of the both sides, and the electrode 21 is formed in the shape of L character, respectively. As a class of lead loess components 20, a chip capacitor, a resistance element, an induction component, etc. are used. The core substrate with which 31 becomes the base in the substrate 30 for mounting on the other hand, the conductor layer by which 32a was formed in one field (field of the side which mounts components 20) of the core substrate 31 of patterning, The conductor layer by which 32b was formed in the field (field of the side which mounts components 20, and an opposite hand) of another side of the core substrate 31 of patterning, The insulating layer formed in one field of the core substrate 31 so that 33a might have opening into the part corresponding to the mounting field of components 20, The insulating layer formed in the field of another side of the core substrate 31 so that 33b might have a beer hall in a necessary part, The conductor layer by which 34a was formed of patterning on insulating-layer 33a including the side attachment wall of opening of insulating-layer 33a, The conductor layer which 34b was filled up with the interior of the beer hall of insulating-layer 33b, and was formed of patterning on insulating-layer 33b, The protective coat formed so that 35a might cover exposed insulating-layer 33a (insulating layer), The protective coat (insulating layer) formed so that 35b might cover insulating-layer 33b and conductor-layer 34b which have been exposed, and 36a show the solder which connects between both electrically at the time of mounting to the substrate 30 for mounting of components 20.
[0018] Solder 36a contributes to increasing mounting reinforcement while securing the electric connection between the conductor layers 32a and 34a which were fabricated and hardened by inverse L-shaped like a graphic display by the reflow at the time of mounting so that it might mention later, covered the top face of the core substrate 31 through the side attachment wall by it from the

electrode 21 of the shape of L character of the lead loess components 20, and the top face of insulating-layer 33a, and were formed stair-like.

[0019] In addition, flexible ingredients, such as a resin film which consists of an epoxy resin, polyimide resin, etc., are suitably used for the core substrate 31 besides rigid ingredients, such as a glass-epoxy resin compound plate and a glass BT resin compound plate. Moreover, as an ingredient of conductor layers 32a, 32b, 34a, and 34b, copper (Cu) is mainly used. Moreover, as an ingredient of insulating layers 33a and 33b, the resin film which consists of an epoxy resin etc. is used, and solder resist is used as an ingredient of protective coats (insulating layer) 35a and 35b.

[0020] The mounting structure 10 of the lead loess components concerning this operation gestalt The magnitude of the crevice RP 3 which should be formed in the substrate 30 for mounting so that it may be clearly shown by especially drawing 8 Only the part of the tolerance D of the lead loess components 20 is greatly selected from the component-side product of the component concerned. It is characterized by embedding the clearance (that is, clearance according to Tolerance D) made when the lead loess components 20 have been arranged to the crevice RP 3 with the solder 36 (36a) which carried out melting at the time of a reflow in the case of mounting.

[0021] It is decided in consideration of dispersion on the process about the component concerned of the same class, and the difference of the allowance maximum and the allowance minimum value which were specified is called tolerance D of the lead loess components 20 here. It explains referring to drawing 4 which shows the production process in order - drawing 8 about the approach of manufacturing the mounting structure 10 (the substrate 30 for mounting being included) of the lead loess components concerning this operation gestalt hereafter.

[0022] First, at the first process, the core substrate 31 as an insulator used as (the drawing 4 (a) reference) and the base is prepared, and a conductor layer 32 is formed in the both sides. As a concrete gestalt, the thermoplastic adhesive of a

polyimide system can be applied to both sides of a thermosetting polyimide resin film (core substrate 31), and what carried out heat press adhesion of the copper foil (conductor layer 32) on it, the thing which carried out the laminating of the copper foil (conductor layer 32) to both sides of a glass-epoxy resin compound plate (core substrate 31), and was pasted up can be used.

[0023] At the following process, the laminating of the etching resist 41 is applied or (in the case of a liquefied resist) carried out on (the drawing 4 (b) reference) and a conductor layer (Cu layer) 32 (in the case of a film-like resist). With this operation gestalt, a photosensitive epoxy resin, a photosensitive dry film, etc. can be suitably used as etching resist 41, using a photosensitive ingredient.

[0024] At the following process, to (the drawing 4 (c) reference), spreading / photosensitive etching-resist layer 41 by which the laminating was carried out, exposure and development (patterning of the resist layer 41) are performed using the mask (not shown) according to the configuration of a necessary circuit pattern (conductor layers 32a and 32b mentioned later), it leaves the part corresponding to the field of the circuit pattern, and etching clearance of other resist layers 41 and conductor layers 32 of a part is carried out.

[0025] Patterning of the resist layer 41 is performed so that the circuit pattern (conductor-layer 32a) which should be formed in the top face of the core substrate 31 may be formed with the predetermined spacing W. This spacing W is selected by the value only with the larger part of the tolerance D of the lead loess components 20 mounted at a next process than the component-side product (mounting width of face in this case) of the component concerned. At the following process, (the drawing 4 (d) reference) and the resist layers 41a and 41b which remained at the front process are removed. It means that the necessary conductor layers (Cu layer) 32a and 32b were formed in both sides of the core substrate 31 of this.

[0026] To the near field in which conductor-layer 32a of (the drawing 4 (e) reference) and the core substrate 31 is formed at the following process The one side copper-clad resin film formed so that it might have the opening RP 1

according to the predetermined spacing W (For example, the thing which pasted up copper foil 42a on one side of an epoxy resin film (insulating-layer 33a)) is stuck. Moreover, the same one side copper-clad resin film (what pasted up copper foil 42b on one side of an epoxy resin film (insulating-layer 33b)) is stuck also on the near field in which conductor-layer 32b of the core substrate 31 is formed.

[0027] If a photopolymer is used as an ingredient of insulating layers 33a and 33b at this time, opening RP 1 can be formed using the usual photolithography technique. At the following process, (the drawing 4 (f) reference, for example, chemical polishing etc.) removes only copper foil 42a and 42b from the one side copper-clad resin film stuck at the front process. In addition, although the one side copper-clad resin film is used at the process of above-mentioned drawing 4 R> 4 (e), it is also technically possible to replace with this and to form only the resin film (insulating layers 33a and 33b) which consists of an epoxy resin etc. In this case, the process of drawing 4 (f) can be skipped.

[0028] It is CO2 so that conductor-layer 32b may be reached in the necessary part of (the drawing 5 (a) reference) and insulating-layer 33b at the following process. A beer hall VH is formed by hole dawn processing by laser, excimer laser, etc. (laser beer process). In addition, when photopolymers, such as a photosensitive epoxy resin, are used as an ingredient of insulating-layer 33b, a beer hall VH can also be formed using the usual photolithography technique (photograph beer process).

[0029] At the following process, the liquefied etching resist 43 is applied on insulating-layer 33a including the interior of (the drawing 5 (b) reference) and opening RP 1. As an ingredient of etching resist 43, it can use regardless of photosensitivity and nonphotosensitivity in this case. At the following process, it grinds by mechanical polishing, chemical machinery polish (CMP), etc., and (the drawing 5 (c) reference) and the applied etching-resist layer 43 are removed until the top face of insulating-layer 33a is exposed. By this, the top face of the etching-resist layer 43 and the top face of insulating-layer 33a constitute the flat

surface of the same level.

[0030] At the following process, etching resist 44 is carried out spreading/laminating on (the drawing 5 (d) reference), insulating-layer 33a, and the etching-resist layer 43, and Opening OP is formed in the predetermined part of spreading / etching-resist layer 44 by which the laminating was carried out. As an ingredient of etching resist 44, photosensitive things, such as a photosensitive epoxy resin and a photosensitive dry film, are used in this case. Opening OP may be formed by performing exposure and development (patterning of the resist layer 44) using the mask (not shown) according to the pattern configuration of the opening concerned, and carrying out etching clearance of the part corresponding to the location of the side attachment wall of the opening RP 1 (refer to drawing 5 (a)) of insulating-layer 33a to spreading / etching-resist layer 44 by which the laminating was carried out.

[0031] At the following process, in (the drawing 5 (e) reference) and the layer [1st] etching-resist layer 43, opening RP 2 is formed in the part corresponding to the opening OP of the etching-resist layer 44 of a two-layer eye so that conductor-layer 32a on the core substrate 31 may be reached. This opening RP 2 can be formed using the etching reagent which has fusibility only to the etching-resist layer 43.

[0032] At the following process, (the drawing 6 (a) reference, for example, mechanical polishing), chemical machinery polish (CMP), etc. remove the etching-resist layer 44 (refer to drawing 5 (e)). Insulating-layer 33a and the etching-resist layer 43 are exposed again with this. At the following process, a conductor layer 34 is formed including the interior of (the drawing 6 (b) reference), opening RP 2, and a beer hall VH on insulating layers 33a and 33b and the etching-resist layer 43. An electric flow with a conductor layer 34 and the conductor layers 32a and 32b formed in both sides of the core substrate 31 is secured by this.

[0033] A conductor layer 34 can be formed by performing nonelectrolytic plating of Cu to the whole surface, forming a thin film-like Cu layer, and performing

electrolysis plating of Cu by using a thin film-like Cu layer as a plating feed layer on it further. In this case, it is also possible to replace with nonelectrolytic plating and to use sputtering, vacuum evaporationo, etc. as the membrane formation approach which forms a thin film-like Cu layer (plating feed layer).

[0034] At the following process, etching resist 45 is carried out spreading/laminating on (the drawing 6 (c) reference) and a conductor layer 34. As an ingredient of etching resist 45, photosensitive things, such as a photosensitive epoxy resin and a photosensitive dry film, are used. At the following process, to (the drawing 6 (d) reference), spreading / photosensitive etching-resist layer 45 by which the laminating was carried out, exposure and development (patterning of the resist layer 45) are performed using the mask (not shown) according to the configuration of a necessary circuit pattern (conductor layers 34a and 34b mentioned later), it leaves the part corresponding to the field of the circuit pattern, and etching clearance of other resist layers 45 and conductor layers 34 of a part is carried out.

[0035] At the following process, (the drawing 6 (e) reference) and the resist layers 45a and 45b which remained at the front process are removed. It means that the top face of the core substrate 31 is covered through the side attachment wall from the top face of insulating-layer 33a, and the "stair-like" conductor layers 32a and 34a were formed like a graphic display of this. Moreover, it means that conductor-layer 32b formed in the underside of the core substrate 31 and conductor-layer 34b of the letter of the abbreviation for T characters through which it flows electrically were formed.

[0036] The photosensitive solder resist 35 is applied to both sides of the structure formed at (the drawing 7 (a) reference) and a front process at the following process. At the following process, to (the drawing 7 (b) reference) and the applied photosensitive solder resist layer 35, exposure and development (patterning of a solder resist layer 35) are performed using a predetermined mask (not shown), and etching clearance of the solder resist layer 35 of the part corresponding to the core substrate 31 and conductor layers 32a and 34a is

carried out. It means that the core substrate 31 and conductor layers 32a and 34a are exposed with this, and other parts were covered with solder resist layers (protective coat) 35a and 35b.

[0037] At the following process, the metal plate (metal mask 46) fabricated so that it might have Opening MP into the part corresponding to the field of conductor-layer 34a formed in the top face of (the drawing 7 (c) reference) and insulating-layer 33a is stuck on solder resist layer 35a. At the following process, the solder 36 of the shape of the shape of a paste and a cream is printed from on (the drawing 7 (d) reference) and the metal mask 46. Solder 36 is filled up with the opening MP of the metal mask 46, and this adheres to it at conductor-layer 34a on insulating-layer 33a.

[0038] At the following process, it exfoliates and (the drawing 8 (a) reference) and the metal mask 46 are removed. It means that the substrate 30 for mounting of the lead loess components concerning this operation gestalt had been produced by the above process. At the following process, (the drawing 8 (b) reference) and the lead loess components 20 which should be mounted in the crevice RP 3 of the substrate 30 for mounting produced at the front process are arranged. That is, alignment of the components concerned is performed so that the electrode 21 of the part formed in the base of the lead loess components 20 may contact conductor-layer 32a on the core substrate 31 and the clearance according to Tolerance D may be secured to the both sides of the components concerned.

[0039] At the last process, a reflow is performed to the solder 36 on the substrate 30 for (the drawing 8 (c) reference) and mounting, and the lead loess components 20 are mounted. At this time, the solder 36 fused by the reflow flows into level L2 (conductor-layer 32a side) from level L1 (conductor-layer 34a side), and is filled up with the clearance (clearance according to Tolerance D) made when the lead loess components 20 have been arranged to the crevice RP 3 of the substrate 30 for mounting (solder 36a).

[0040] It means that the mounting structure 10 of the lead loess components

concerning this operation gestalt had been produced by the above process. As explained above, according to the mounting structure 10 (the substrate 30 for mounting is included) and its manufacture approach of the lead loess components concerning this operation gestalt Since the upper bed section (conductor-layer 34a formed in the top face of insulating-layer 33a) of the both sides which the crevice RP 3 of the substrate 30 for mounting counters adheres to solder 36 By the way, the lead loess components 20 can be mounted in the crevice RP 3 of the substrate 30 for mounting by the thing which is a next process or is the need and which is done for melting of this solder 36 by the reflow.

[0041] At this time, the solder 36 fused by the reflow Since it flows into level L2 (conductor-layer 32a side), the clearance according to Tolerance D is filled and shaping and hardening of are done from level L1 (conductor-layer 34a side) (solder 36a), the electrode 21 of the shape of L character of the lead loess components 20, Mounting reinforcement can be increased while the electric connection between the "stair-like" conductor layers 32a and 34a formed in the substrate 30 for mounting is secured. This contributes to mounting by which the tall lead loess components 20 were stabilized.

[0042] moreover, only the part of Tolerance D is selected greatly more slightly [the magnitude of the crevice RP 3 offered as a field which mounts the lead loess components 20] than the component-side product of the components concerned -- **** -- it does not pass, but soldering by the reflow can be performed, without needing the excessive workspace (tooth space SP) needed by the Prior art (approach shown in drawing 2 (b)). This enables it to ensure mounting by which the lead loess components 20 were stabilized, without increasing a component-side product (miniaturization of a substrate).

[0043] Although the operation gestalt mentioned above explains the case where it is mounted with the gestalt in which the lead loess components 20 projected from the substrate 30 for mounting, it may be able to mount in the interior of the crevice (part shown by the reference mark RP 3 in drawing 8 (a)) formed in the

substrate 30 for mounting, without [that is,] projecting from the substrate 30 for mounting depending on the height of the lead loess components to mount. In such a case, it is possible to mount another components on the lead loess components mounted in the interior of the crevice. The example is shown in drawing 9 .

[0044] In mounting structure 10a shown in drawing 9 , lead loess components 20a is mounted with the gestalt embedded at the substrate 30 for mounting, and another components 50 are further mounted in the substrate 30 for mounting through that lead 51 above this lead loess components 20a. The lead 51 of the components 50 mounted in an upside is electrically connected to conductor-layer 34a through solder 36a, and this conductor-layer 34a is further connected to the substrate 30 for mounting electrically at the electrode of lead loess components 20a laid underground and mounted.

[0045] Since it is mounted with the gestalt on which the components 50 different from lead loess components 20a were accumulated according to mounting structure 10a shown in drawing 9 , a miniaturization and high density assembly of the substrate 30 for mounting can be planned, and further, since both the components 20a and 50 approach mutually and are arranged, an improvement of frequency characteristics can be aimed at so that it may mention later. That is, in this wiring substrate, although detailed-izing of wiring, densification, a miniaturization, etc. are demanded with the demand of high integration of the latest semiconductor device also about the wiring substrate (substrate for mounting) in which this is carried, since the circuit pattern is formed in high density, it is between wiring and the problem of a cross talk noise arising and changing the potential of a power-source line etc. arises. In the substrate in which the semiconductor device for RFs as which high-speed switching operation is required especially is carried, a switching noise occurs in becoming easy to generate a cross talk noise with lifting of a frequency, and a switching element turning on / turning off at a high speed, and it becomes easy to change the potential of a power-source line etc. by this.

[0046] Then, in order to cancel such inconvenience, arranging capacitative elements, such as a chip capacitor, near the semiconductor device, and carrying out the "decoupling" of a signal line, the power-source line, etc. conventionally, is performed. At this time, if between that capacitative element and semiconductor device is separated in distance, the inductance of wiring which connects between both becomes large, and the decoupling effectiveness by the capacitative element cannot fully be demonstrated. Therefore, in order to make an inductance as small as possible, the thing of a semiconductor device for which a capacitative element is arranged as much as possible to near is desirable.

[0047] In mounting structure 10a shown in drawing 9 , since both the components 20a and 50 approach mutually and are arranged, when one components are used as active elements, such as IC, and the components of another side are used as a chip capacitor, for example, it becomes possible to raise a RF property.

[0048]

[Effect of the Invention] While the crevice with which the substrate for mounting is presented as a mounting field of a chip according to this invention is formed as explained above, and only the part of the tolerance of a chip selects the magnitude of this crevice from that component-side product greatly Mounting by which the tall chip was stabilized can be realized by the thing which is the need by making the solder of the specified quantity adhere to the upper bed section of the both sides of a crevice and which is done for melting of this solder by the way, without increasing a component-side product (miniaturization of a substrate).

[Translation done.]

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining the trouble for mounting of the lead loess components concerning an example of the conventional technique.

[Drawing 2] It is drawing for explaining the trouble for mounting of the lead loess components concerning other examples of the conventional technique.

[Drawing 3] It is the sectional view showing typically the mounting structure of the lead loess components concerning 1 operation gestalt of this invention.

[Drawing 4] It is the sectional view showing the production process of the mounting structure of drawing 3 .

[Drawing 5] It is the sectional view showing the production process following the production process of drawing 4 .

[Drawing 6] It is the sectional view showing the production process following the production process of drawing 5 .

[Drawing 7] It is the sectional view showing the production process following the production process of drawing 6 .

[Drawing 8] It is the sectional view showing the production process following the production process of drawing 7 .

[Drawing 9] It is the sectional view showing typically the mounting structure of the lead loess components concerning other operation gestalten of this invention.

[Description of Notations]

10 10a -- Mounting structure of lead loess components

20 20a -- Lead loess components (chip)

21 -- Electrode of lead loess components

30 -- Substrate for mounting

31 -- Core substrate (insulator)

32a, 32b, 34a, 34b -- Conductor layer

33a, 33b -- Insulating layer

35a, 35b -- Solder resist layer (protective coat)

36 36a -- Solder

50 -- Another components

D -- Tolerance of lead loess components

RP3 -- Crevice of the substrate for mounting

[Translation done.]

* NOTICES *

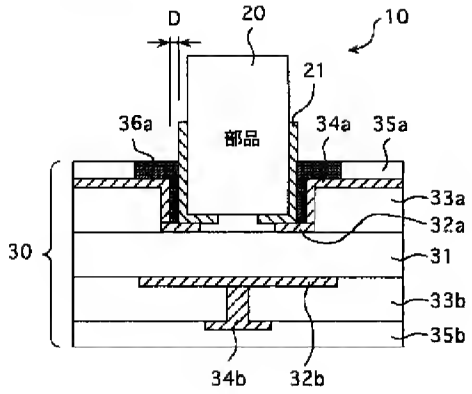
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

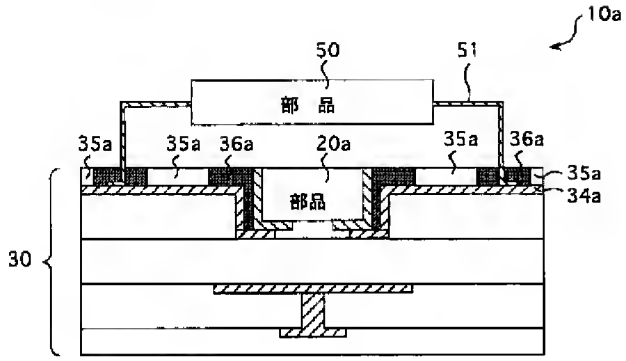
3.In the drawings, any words are not translated.

DRAWINGS

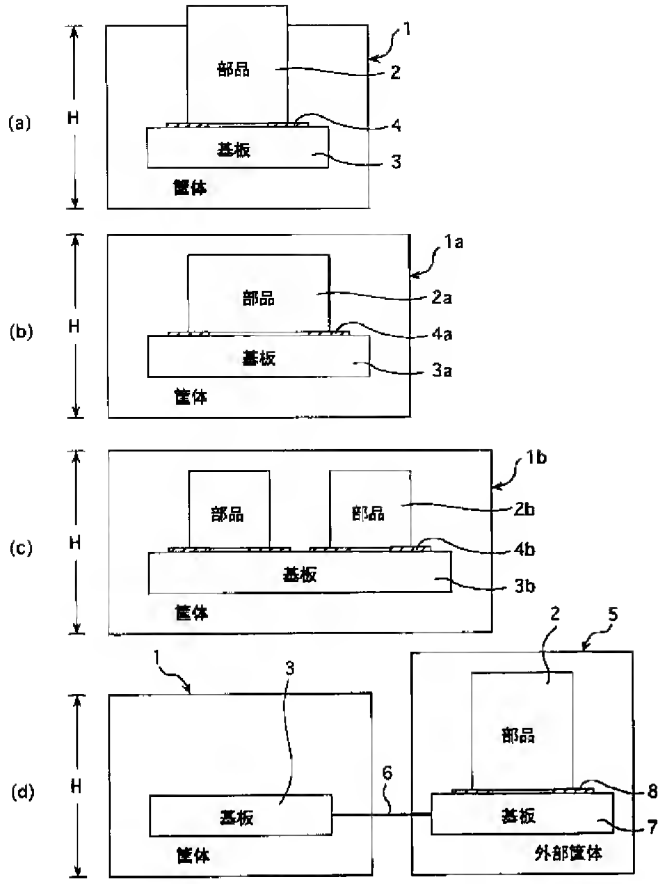
[Drawing 3]



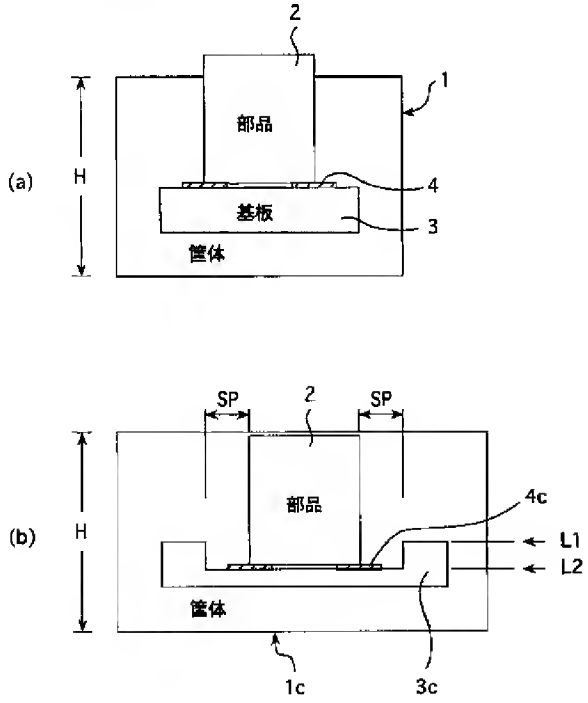
[Drawing 9]



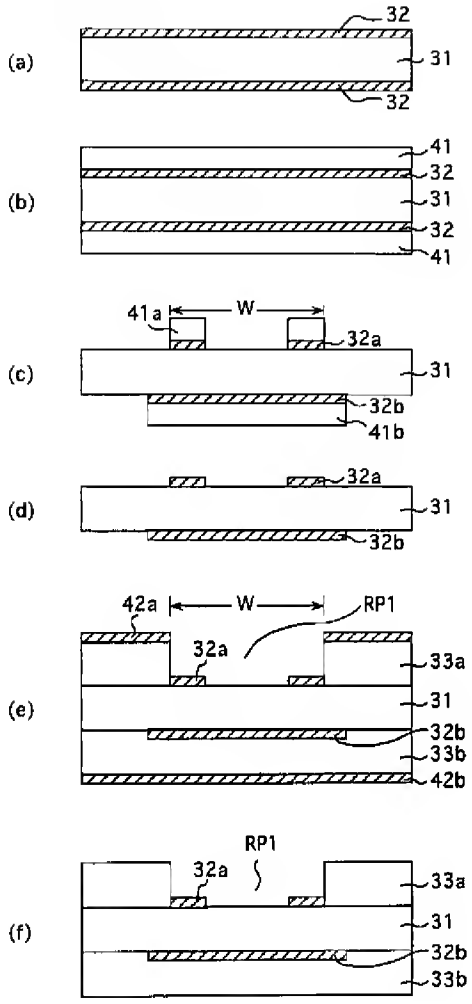
[Drawing 1]


(a)
H
部品
1
2
4
基板
3
筐体
(b)
H
1a
部品
2a
4a
基板
3a
筐体
(c)
H
1b
部品
部品
2b
4b
基板
3b
筐体
(d)
H
1
3
基板
筐体
6
2
5
部品
8
基板
7
外部筐体

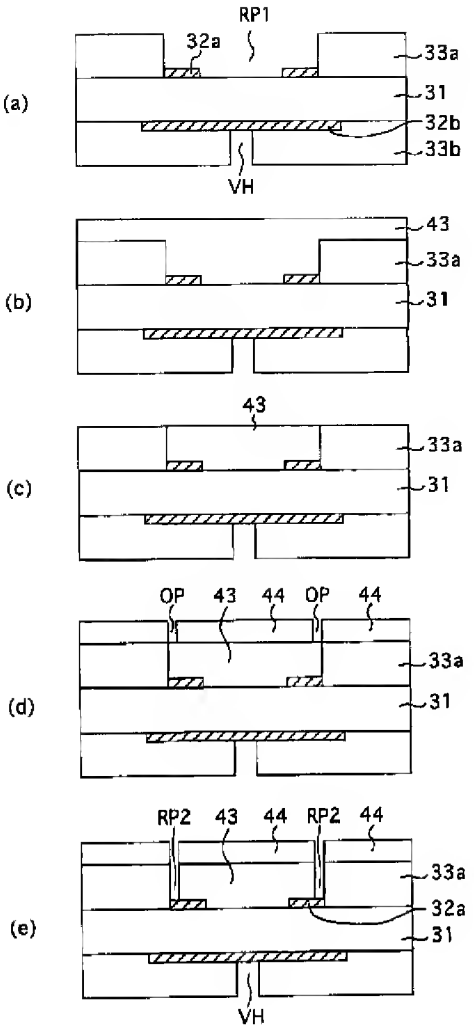
[Drawing 2]


(a)
H
2
部品
1
4
基板
3
筐体
(b)
H
SP
2
SP
部品
4c
L1
L2
筐体
1c
3c

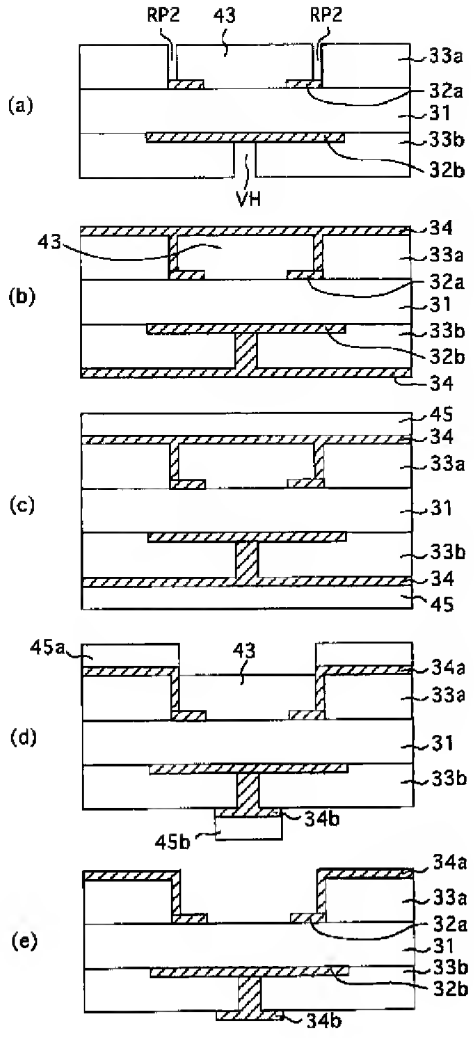
[Drawing 4]



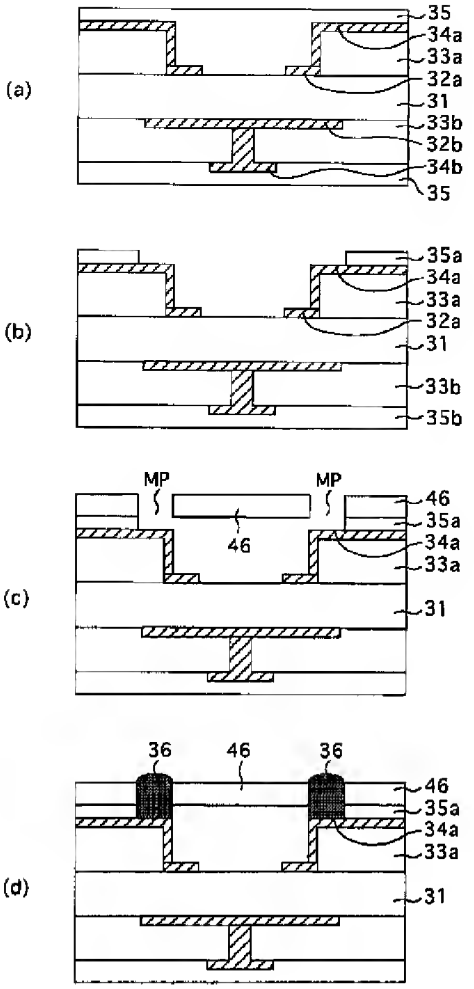
[Drawing 5]


(a)
RP1
32a
33a
31
32b
33b
VH
(b)
43
33a
31
(c)
43
33a
31
(d)
OP
43
44
OP
44
33a
31
(e)
RP2
43
44
RP2
44
33a
32a
31
VH

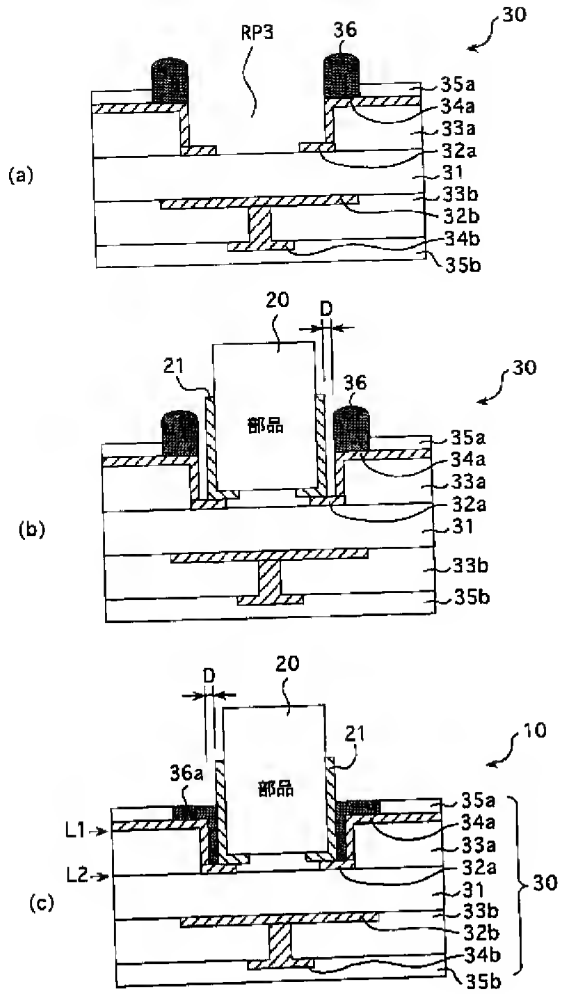
[Drawing 6]


RP2
43
RP2
33a
32a
(a)
31
33b
32b
VH
43
34
33a
32a
(b)
31
33b
32b
34
45
34
33a
(c)
31
33b
34
45
45a
43
34a
33a
(d)
31
33b
34b
45b
34a
33a
32a
(e)
31
33b
32b
34b

[Drawing 7]


(a)
35
34a
33a
32a
31
33b
32b
34b
35
(b)
35a
34a
33a
32a
31
33b
35b
(c)
MP
MP
46
46
35a
34a
33a
31
(d)
36
46
36
46
35a
34a
33a
31

[Drawing 8]



[Translation done.]

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2002－198638
（P2002－198638A）
(43)公開日　平成14年７月12日(2002.7.12)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード*（参考）
Ｈ０５Ｋ　3/34	５０１	Ｈ０５Ｋ　3/34	５０１Ｄ	５Ｅ３１９
Ｈ０１Ｌ　23/12		1/18	Ｒ	５Ｅ３３６
Ｈ０５Ｋ　1/18		Ｈ０１Ｌ　23/12	Ｆ	

審査請求　未請求　請求項の数６　ＯＬ　（全 10 頁）

(21)出願番号　特願2000－397102(P2000－397102)

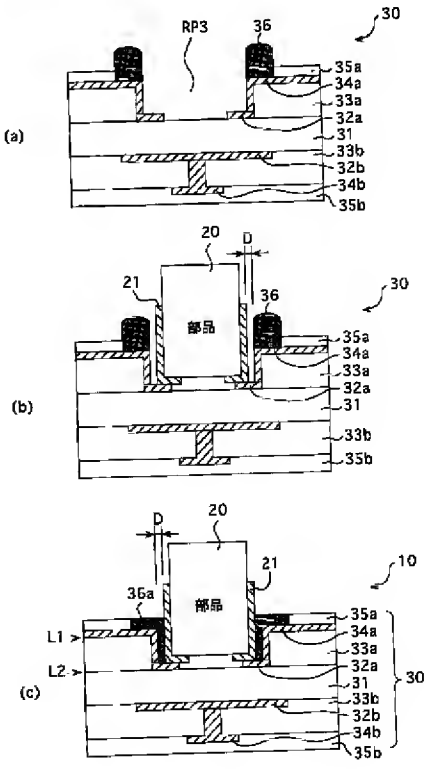
(22)出願日　平成12年12月27日(2000.12.27)

(71)出願人　000190688
新光電気工業株式会社
長野県長野市大字栗田字舎利田711番地
(72)発明者　窪田　和之
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(74)代理人　100091672
弁理士　岡本　啓三

Ｆターム(参考)　5E319 AA03 AA07 AA10 AB05 BB05
CC33 CD29
5E336 AA04 AA08 BB03 BC25 CC32
CC42 CC52 CC53 EE03 GG05

(54)【発明の名称】　チップ部品の実装用基板及びその製造方法並びに実装構造及び実装方法

(57)【要約】
【課題】　実装面積を増大させることなく、背の高いリードレス部品（チップ部品）の安定した実装を可能にし、基板の小型化を図ることを目的とする。
【解決手段】　チップ部品の実装用基板３０は、絶縁性材料からなるコア基板３１の一方の面に形成され、チップ部品２０の実装用の凹部ＲＰ３の側壁となる開口部を有した絶縁層３３ａと、該絶縁層の上面の開口周縁部から凹部ＲＰ３の対向する両側の側壁を介して凹部ＲＰ３の底面となるコア基板３１の上面の底面周縁部に亘りそれぞれ階段状に形成された１対の導体層３２ａ，３４ａを有する。凹部ＲＰ３の開口面積は、該凹部にチップ部品２０を配置してはんだ付けできるように該チップ部品の実装面積よりも大きく形成され、また、導体層３２ａ，３４ａの開口周縁部に形成された部分に、それぞれはんだ３６が被着されている。はんだ３６を溶融させて（３６ａ）、チップ部品２０を実装する。



【特許請求の範囲】
【請求項１】　絶縁性材料からなるコア基板と、
該コア基板の一方の面に形成され、チップ部品実装用の凹部の側壁となる開口部を有した絶縁層と、
該絶縁層の上面の開口周縁部から前記凹部の対向する両側の側壁を介して凹部の底面となる前記コア基板の上面の底面周縁部に亘りそれぞれ階段状に形成された１対の導体層とを有し、
前記凹部の開口面積が、該凹部にチップ部品を配置してはんだ付けできるように前記チップ部品の実装面積よりも大きく形成されていると共に、
前記１対の導体層の前記開口周縁部に形成された部分に、それぞれはんだが被着されていることを特徴とするチップ部品の実装用基板。
【請求項２】　請求項１に記載のチップ部品の実装用基板に設けられた凹部に、両側の側面から底面に亘りそれぞれＬ字状に形成された１対の電極を有するチップ部品がはんだにより接合されていると共に、該はんだが、前記チップ部品と前記凹部との隙間に充填されて、前記チップ部品のＬ字状の１対の電極と前記実装用基板に形成された階段状の１対の導体層とが電気的に接続されていることを特徴とするチップ部品の実装構造。
【請求項３】　前記チップ部品が、前記実装用基板の上面から突出するように実装されていることを特徴とする請求項２に記載のチップ部品の実装構造。
【請求項４】　前記チップ部品が前記実装用基板の上面から突出しないように実装され、更に、該チップ部品の上方に別の電子部品が前記実装用基板に電気的に接続されて実装されていることを特徴とする請求項２に記載のチップ部品の実装構造。
【請求項５】　絶縁性材料からなるコア基板の一方の面に、実装すべきチップ部品の実装面積よりも大きい値に選定された間隔をおいて１対の導体層を形成する工程と、
前記コア基板の一方の面に、前記１対の導体層を囲繞するように前記チップ部品実装用の凹部の側壁となる開口部を有した絶縁層を形成する工程と、
該絶縁層の上面の開口周縁部から前記凹部の対向する両側の側壁に亘り、それぞれ前記１対の導体層と電気的に導通するＬ字状の１対の導体層を形成する工程と、
該Ｌ字状の１対の導体層の前記開口周縁部に形成された部分に、それぞれはんだを被着させる工程とを含むことを特徴とするチップ部品の実装用基板の製造方法。
【請求項６】　請求項１に記載のチップ部品の実装用基板の凹部に、両側の側面から底面に亘りそれぞれＬ字状に形成された１対の電極を有するチップ部品を配置し、前記実装用基板の上面の開口周縁部に形成された導体層部分に被着されたはんだのリフローを行い、溶融したはんだを前記チップ部品と前記凹部との隙間に充填して、当該チップ部品を実装用基板に実装することを特徴とするチップ部品の実装方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、チップ状の容量素子、抵抗素子等のリードレス部品の実装技術に関し、特に、背の高いリードレス部品の実装を安定に行うのに適応された実装用基板及びその製造方法並びに実装構造及び実装方法に関する。以下の記述では、チップ状の容量素子（チップキャパシタ）、抵抗素子等のリードレス部品を、便宜上、「チップ部品」とも呼ぶことにする。
【０００２】
【従来の技術】ＰＣカードの様に高さが決まっている製品において、背の高いチップキャパシタ等のリードレス部品は、その高さ制限により使用できない場合がある。その一例を図１（ａ）に示す。図中、１は規定の高さＨを有した筐体（例えば、ＰＣカードの筐体）、２は筐体１に収容（実装）されるべき背の高いリードレス部品、３はリードレス部品２を実装するための基板、４は基板３上に形成された電極パッドを示す。リードレス部品２は、その電極（図示せず）を基板３上の電極パッド４に電気的に接続することにより実装される。この実装は、一般には、リフローによるはんだ付けにより行われる。図１（ａ）に例示するように、リードレス部品２は、その高さに起因して筐体１に収容することができない。
【０００３】このような場合、その対策として、図１（ｂ）～（ｄ）に示すような方法が考えられる。図１（ｂ）に示す方法では、規定の高さＨを有した筐体１ａに収容され得るようにリードレス部品２ａの高さを制限している。つまり、図１（ａ）に示したリードレス部品２と同じ機能を有する１個の背の低いリードレス部品２ａを使用している。同様に、図１（ｃ）に示す方法でも、規定の高さＨを有した筐体１ｂに収容され得るようにリードレス部品２ｂの高さを制限しており、この場合、複数個の背の低いリードレス部品２ｂを組み合わせて、図１（ａ）に示したリードレス部品２と同等の機能を持たせている。また、図１（ｄ）に示す方法では、実装すべきリードレス部品２を、規定の高さＨを有した本来の筐体１に収容する代わりに、別の外部筐体５に収容し（いわゆる「部品の外付け」）、これと筐体１とをケーブル６等により電気的に接続している。
【０００４】なお、図１（ｂ）～（ｄ）において、３ａ，３ｂ及び７はそれぞれリードレス部品２ａ，２ｂ及び２を実装するための基板、４ａ，４ｂ及び８はそれぞれ基板３ａ，３ｂ及び７に形成された電極パッドを示す。また、別の対策として、図２（ｂ）に示すような方法が考えられる。なお、図２（ａ）は、図１（ａ）の例示に対応し、背の高いリードレス部品２を規定の高さＨを有した筐体１に収容することができない状態を示している。図２（ｂ）に示す方法では、規定の高さＨを有した筐体１ｃにリードレス部品２を収容するに際し、筐体

１ｃ内の基板３ｃに適当な凹部（高さのレベルＬ１とＬ２との差によって規定される段差）を設け、この段差によりリードレス部品２の収容できない分の高さを確保している。

【０００５】この方法では、リードレス部品２の実装面は、基板３ｃの上面（レベルＬ１）ではなく、凹部が形成されている面（レベルＬ２）にある。このため、リードレス部品２の電極（図示せず）を基板３ｃ上の電極パッド４ｃに電気的に接続するためのはんだ付けを行う作業空間（スペースＳＰ）を確保する必要がある。

【０００６】

【発明が解決しようとする課題】上述したように、図１，図２に例示した従来の実装技術では、リードレス部品を収容すべき筐体の高さ制限に起因する問題点（つまり、当該部品を収容できないという問題点）は解消され得るが、その反面、以下の課題がある。すなわち、チップキャパシタ等のリードレス部品は、本来の機能（所定の大きさのキャパシタンス、インダクタンス、抵抗値等）を確保するために、ある程度決められた大きさ（サイズ）が必要である。

【０００７】このため、図１（ｂ），（ｃ）に示した方法では、リードレス部品２ａ，２ｂの高さが制限された分だけその水平方向のサイズ、すなわち実装面積が大きくなる。その結果、基板３ａ，３ｂもそれに応じた大きさのものを必要とし（基板面積の増大）、これを収容する筐体１ａ，１ｂが大型化し、ひいては製品全体の規模が大きくなるといった不都合が生じる。

【０００８】また、図１（ｄ）に示した「部品の外付け」方法では、本来はリードレス部品２を収容すべき筐体１の他に、当該部品を収容するための別の外部筐体５を必要とするため、上記と同様に、製品全体が大型化するといった不都合が生じる。一方、図２（ｂ）に示した方法では、リードレス部品２を実装するためのはんだ付けを行う作業空間（スペースＳＰ）を必要とするため、図１（ｂ），（ｃ）に示した方法と同様に、基板３ｃの面積が増大し、これを収容する筐体１ｃの大型化、ひいては製品全体の大型化を招くといった課題がある。また、余分なスペースＳＰを必要とする分、実装密度が低下するといった不利もある。

【０００９】さらに、基板３ｃに凹部（Ｌ１，Ｌ２によって規定される段差）が設けられているため、リフローによるはんだ付けを行うに際し、熱伝導にむらが生じる可能性があり、場合によってはリフローをうまく行うことができないといった不利も想定される。つまり、リードレス部品２の安定した実装を必ずしも確実に行うことができないといった課題があった。

【００１０】本発明は、上述した従来技術における課題に鑑み創作されたもので、実装面積を増大させることなく、背の高いリードレス部品（チップ部品）の安定した実装を可能にし、基板の小型化に寄与することができるチップ部品の実装用基板、実装構造及びその製造方法を提供することを目的とする。

【００１１】

【課題を解決するための手段】上述した従来技術の課題を解決するため、本発明の一形態によれば、絶縁性材料からなるコア基板と、該コア基板の一方の面に形成され、チップ部品実装用の凹部の側壁となる開口部を有した絶縁層と、該絶縁層の上面の開口周縁部から前記凹部の対向する両側の側壁を介して凹部の底面となる前記コア基板の上面の底面周縁部に亘りそれぞれ階段状に形成された１対の導体層とを有し、前記凹部の開口面積が、該凹部にチップ部品を配置してはんだ付けできるように前記チップ部品の実装面積よりも大きく形成されていると共に、前記１対の導体層の前記開口周縁部に形成された部分に、それぞれはんだが被着されていることを特徴とするチップ部品の実装用基板が提供される。

【００１２】本発明に係るチップ部品の実装用基板によれば、凹部の両側の上端部（絶縁層の上面に形成された部分の各導体層）にはんだが付着されているので、後の工程で、又は必要なときに、このはんだを例えばリフローにより溶融させることで、チップ部品を実装用基板の凹部に実装することができる。このとき、チップ部品の実装領域として供される凹部の大きさは、当該部品の実装面積より公差の分だけ僅かに大きく選定されているにすぎないので、例えば図２（ｂ）に示したような従来技術で必要とされていた余分なスペースＳＰを必要とすることなく、はんだ付けを行うことができる。これによって、実装面積を増大させることなく（基板の小型化）、背の高いチップ部品の安定した実装を行うことが可能となる。

【００１３】また、本発明の他の形態によれば、上述したチップ部品の実装用基板に設けられた凹部に、両側の側面から底面に亘りそれぞれＬ字状に形成された１対の電極を有するチップ部品がはんだにより接合されていると共に、該はんだが、前記チップ部品と前記凹部との隙間に充填されて、前記チップ部品のＬ字状の１対の電極と前記実装用基板に形成された階段状の１対の導体層とが電気的に接続されていることを特徴とするチップ部品の実装構造が提供される。

【００１４】この実装構造によれば、例えばリフローにより溶融したはんだにより、チップ部品と凹部の隙間が埋められ、チップ部品のＬ字状の電極と実装用基板に形成された階段状の導体層との間の電気的な接続が確保されると共に、実装強度を増大させることができる。これは、チップ部品のより安定した実装に寄与する。また、本発明の更に他の形態によれば、上述したチップ部品の実装用基板の製造方法が提供される。この製造方法は、絶縁性材料からなるコア基板の一方の面に、実装すべきチップ部品の実装面積よりも大きい値に選定された間隔をおいて１対の導体層を形成する工程と、前記コア基板

の一方の面に、前記１対の導体層を囲繞するように前記チップ部品実装用の凹部の側壁となる開口部を有した絶縁層を形成する工程と、該絶縁層の上面の開口周縁部から前記凹部の対向する両側の側壁に亘り、それぞれ前記１対の導体層と電気的に導通するＬ字状の１対の導体層を形成する工程と、該Ｌ字状の１対の導体層の前記開口周縁部に形成された部分に、それぞれはんだを被着させる工程とを含むことを特徴とする。

【００１５】さらに、本発明の他の形態によれば、上述したチップ部品の実装方法が提供される。この実装方法は、上述したチップ部品の実装用基板の凹部に、両側の側面から底面に亘りそれぞれＬ字状に形成された１対の電極を有するチップ部品を配置し、前記実装用基板の上面の開口周縁部に形成された導体層部分に被着されたはんだのリフローを行い、溶融したはんだを前記チップ部品と前記凹部との隙間に充填して、当該チップ部品を実装用基板に実装することを特徴とする。

【００１６】

【発明の実施の形態】図３は本発明の一実施形態に係るリードレス部品の実装構造を断面図の形態で模式的に示したものである。本実施形態に係るリードレス部品の実装構造１０は、背の高いリードレス部品２０が実装用基板３０に形成された凹部（図８（ａ）において参照符号ＲＰ３で示す部分）に実装された構成を有している。

【００１７】リードレス部品２０は、図示のように側面から見て矩形状を有しており、その両側の側面から底面にかけてそれぞれＬ字状に電極２１が設けられている。リードレス部品２０の種類としては、チップキャパシタ、抵抗素子、誘導素子等が用いられる。一方、実装用基板３０において、３１はベースとなるコア基板、３２ａはコア基板３１の一方の面（部品２０を実装する側の面）にパターニングにより形成された導体層、３２ｂはコア基板３１の他方の面（部品２０を実装する側と反対側の面）にパターニングにより形成された導体層、３３ａは部品２０の実装領域に対応する部分に開口部を有するようにコア基板３１の一方の面に形成された絶縁層、３３ｂは所要箇所にビアホールを有するようにコア基板３１の他方の面に形成された絶縁層、３４ａは絶縁層３３ａの開口部の側壁を含めて絶縁層３３ａの上にパターニングにより形成された導体層、３４ｂは絶縁層３３ｂのビアホールの内部を充填して絶縁層３３ｂの上にパターニングにより形成された導体層、３５ａは露出している絶縁層３３ａを覆うように形成された保護膜（絶縁層）、３５ｂは露出している絶縁層３３ｂ及び導体層３４ｂを覆うように形成された保護膜（絶縁層）、３６ａは部品２０の実装用基板３０への実装時に両者間を電気的に接続するはんだを示す。

【００１８】はんだ３６ａは、後述するように実装時のリフローにより、図示のように逆Ｌ字状に成形・硬化され、それによって、リードレス部品２０のＬ字状の電極２１と、絶縁層３３ａの上面からその側壁を介してコア基板３１の上面に亘り階段状に形成された導体層３２ａ，３４ａとの間の電気的な接続を確保すると共に、実装強度を増大させることに寄与する。

【００１９】なお、コア基板３１には、ガラス－エポキシ樹脂複合板、ガラスＢＴ樹脂複合板などのリジッドな材料の他に、エポキシ樹脂、ポリイミド樹脂等からなる樹脂フィルムなどのフレキシブルな材料が好適に用いられる。また、導体層３２ａ，３２ｂ，３４ａ及び３４ｂの材料としては、主として銅（Ｃｕ）が用いられる。また、絶縁層３３ａ及び３３ｂの材料としては、エポキシ樹脂等からなる樹脂フィルムが用いられ、保護膜（絶縁層）３５ａ及び３５ｂの材料としては、ソルダレジストが用いられる。

【００２０】本実施形態に係るリードレス部品の実装構造１０は、特に図８に明示されるように、実装用基板３０に形成すべき凹部ＲＰ３の大きさを、リードレス部品２０の公差Ｄの分だけ当該部品の実装面積よりも大きく選定し、リードレス部品２０を凹部ＲＰ３に配置したときにできる隙間（つまり、公差Ｄに応じた隙間）を、実装の際のリフロー時に溶融させたはんだ３６（３６ａ）で埋め込むようにしたことを特徴としている。

【００２１】ここに、リードレス部品２０の公差Ｄとは、同じ種類の当該部品についてのプロセス上のばらつきを考慮して決められたものであり、規定された許容最大値と許容最小値との差をいう。以下、本実施形態に係るリードレス部品の実装構造１０（実装用基板３０を含む）を製造する方法について、その製造工程を順に示す図４～図８を参照しながら説明する。

【００２２】先ず最初の工程では（図４（ａ）参照）、ベースとなる絶縁体としてのコア基板３１を用意し、その両面に導体層３２を形成する。具体的な形態としては、熱硬化性のポリイミド樹脂フィルム（コア基板３１）の両面にポリイミド系の熱可塑性接着剤を塗布し、その上に銅箔（導体層３２）を熱プレス接着したものや、ガラスーエポキシ樹脂複合板（コア基板３１）の両面に銅箔（導体層３２）を積層して接着したものなどを使用することができる。

【００２３】次の工程では（図４（ｂ）参照）、導体層（Ｃｕ層）３２の上にエッチングレジスト４１を塗布し（液状レジストの場合）、又は積層する（フィルム状レジストの場合）。本実施形態では、エッチングレジスト４１として感光性の材料を用い、例えば、感光性エポキシ樹脂や感光性ドライフィルム等を好適に用いることができる。

【００２４】次の工程では（図４（ｃ）参照）、塗布／積層された感光性のエッチングレジスト層４１に対し、所要の配線パターン（後述する導体層３２ａ，３２ｂ）の形状に応じたマスク（図示せず）を用いて露光及び現像（レジスト層４１のパターニング）を行い、その配線

パターンの領域に対応する部分を残して他の部分のレジスト層４１及び導体層３２をエッチング除去する。

【００２５】レジスト層４１のパターニングは、コア基板３１の上面に形成すべき配線パターン（導体層３２ａ）が所定の間隔Wをもって形成されるように行われる。この間隔Wは、後の工程で実装されるリードレス部品２０の公差Dの分だけ当該部品の実装面積（この場合、実装幅）よりも大きい値に選定される。次の工程では（図４（ｄ）参照）、前の工程で残存したレジスト層４１ａ，４１ｂを除去する。これによって、コア基板３１の両面に所要の導体層（Ｃｕ層）３２ａ，３２ｂが形成されたことになる。

【００２６】次の工程では（図４（ｅ）参照）、コア基板３１の導体層３２ａが形成されている側の面に、所定の間隔Wに応じた開口部ＲＰ１を有するように形成された片面銅張り樹脂フィルム（例えば、エポキシ樹脂フィルム（絶縁層３３ａ）の片面に銅箔４２ａを接着したもの）を貼り付け、また、コア基板３１の導体層３２ｂが形成されている側の面にも、同様の片面銅張り樹脂フィルム（エポキシ樹脂フィルム（絶縁層３３ｂ）の片面に銅箔４２ｂを接着したもの）を貼り付ける。

【００２７】このとき、絶縁層３３ａ，３３ｂの材料として感光性樹脂を用いると、開口部ＲＰ１は、通常のフォトリソグラフィ技術を用いて形成することができる。次の工程では（図４（ｆ）参照）、例えば化学研磨等により、前の工程で貼り付けた片面銅張り樹脂フィルムから銅箔４２ａ，４２ｂのみを除去する。なお、上記の図４（ｅ）の工程では片面銅張り樹脂フィルムを用いているが、これに代えて、エポキシ樹脂等からなる樹脂フィルム（絶縁層３３ａ，３３ｂ）のみを形成することも技術的には可能である。この場合には、図４（ｆ）の工程を省略することができる。

【００２８】次の工程では（図５（ａ）参照）、絶縁層３３ｂの所要の箇所において導体層３２ｂに達するように、例えばCO_2レーザやエキシマレーザ等による穴明け処理により、ビアホールＶＨを形成する（レーザビア・プロセス）。なお、絶縁層３３ｂの材料として感光性エポキシ樹脂等の感光性樹脂を用いた場合には、ビアホールＶＨは、通常のフォトリソグラフィ技術を用いて形成することもできる（フォトビア・プロセス）。

【００２９】次の工程では（図５（ｂ）参照）、開口部ＲＰ１の内部を含めて絶縁層３３ａの上に、液状のエッチングレジスト４３を塗布する。エッチングレジスト４３の材料としては、この場合、感光性、非感光性を問わず用いることができる。次の工程では（図５（ｃ）参照）、塗布されたエッチングレジスト層４３を、例えば機械研磨、化学機械研磨（ＣＭＰ）等により研磨して、絶縁層３３ａの上面が露出するまで除去する。これによって、エッチングレジスト層４３の上面と絶縁層３３ａの上面は同一レベルの平面を構成する。

【００３０】次の工程では（図５（ｄ）参照）、絶縁層３３ａとエッチングレジスト層４３の上にエッチングレジスト４４を塗布／積層し、塗布／積層されたエッチングレジスト層４４の所定の箇所に開口部ＯＰを形成する。エッチングレジスト４４の材料としては、この場合、感光性エポキシ樹脂や感光性ドライフィルム等の感光性のものが用いられる。開口部ＯＰは、塗布／積層されたエッチングレジスト層４４に対し、当該開口部のパターン形状に応じたマスク（図示せず）を用いて露光及び現像（レジスト層４４のパターニング）を行い、絶縁層３３ａの開口部ＲＰ１（図５（ａ）参照）の側壁の位置に対応する部分をエッチング除去することにより、形成され得る。

【００３１】次の工程では（図５（ｅ）参照）、１層目のエッチングレジスト層４３において２層目のエッチングレジスト層４４の開口部ＯＰに対応する部分に、コア基板３１上の導体層３２ａに達するように開口部ＲＰ２を形成する。この開口部ＲＰ２は、例えば、エッチングレジスト層４３に対してのみ可溶性を有するエッチング液を用いて形成することができる。

【００３２】次の工程では（図６（ａ）参照）、例えば機械研磨、化学機械研磨（ＣＭＰ）等により、エッチングレジスト層４４（図５（ｅ）参照）を除去する。これによって、絶縁層３３ａ及びエッチングレジスト層４３が再び露出する。次の工程では（図６（ｂ）参照）、開口部ＲＰ２の内部及びビアホールＶＨの内部を含めて絶縁層３３ａ，３３ｂ及びエッチングレジスト層４３の上に、導体層３４を形成する。これによって、導体層３４とコア基板３１の両面に形成された導体層３２ａ，３２ｂとの電気的な導通が確保される。

【００３３】導体層３４は、例えば、全面にＣｕの無電解めっきを施して薄膜状Ｃｕ層を形成し、更にその上に、薄膜状Ｃｕ層をめっき給電層としてＣｕの電解めっきを施すことにより、形成することができる。この場合、薄膜状Ｃｕ層（めっき給電層）を形成する成膜方法として、無電解めっきに代えて、スパッタリングや蒸着等を用いることも可能である。

【００３４】次の工程では（図６（ｃ）参照）、導体層３４の上にエッチングレジスト４５を塗布／積層する。エッチングレジスト４５の材料としては、感光性エポキシ樹脂や感光性ドライフィルム等の感光性のものが用いられる。次の工程では（図６（ｄ）参照）、塗布／積層された感光性のエッチングレジスト層４５に対し、所要の配線パターン（後述する導体層３４ａ，３４ｂ）の形状に応じたマスク（図示せず）を用いて露光及び現像（レジスト層４５のパターニング）を行い、その配線パターンの領域に対応する部分を残して他の部分のレジスト層４５及び導体層３４をエッチング除去する。

【００３５】次の工程では（図６（ｅ）参照）、前の工程で残存したレジスト層４５ａ，４５ｂを除去する。こ

れによって、絶縁層３３ａの上面からその側壁を介してコア基板３１の上面に亘り、図示のように「階段状」の導体層３２ａ，３４ａが形成されたことになる。また、コア基板３１の下面に形成された導体層３２ｂと電気的に導通する略Ｔ字状の導体層３４ｂが形成されたことになる。

【００３６】次の工程では（図７（ａ）参照）、前の工程で形成された構造体の両面に感光性のソルダレジスト３５を塗布する。次の工程では（図７（ｂ）参照）、塗布された感光性のソルダレジスト層３５に対し、所定のマスク（図示せず）を用いて露光及び現像（ソルダレジスト層３５のパターニング）を行い、コア基板３１及び導体層３２ａ，３４ａに対応する部分のソルダレジスト層３５をエッチング除去する。これによって、コア基板３１及び導体層３２ａ，３４ａが露出し、他の部分はソルダレジスト層（保護膜）３５ａ，３５ｂによって覆われたことになる。

【００３７】次の工程では（図７（ｃ）参照）、絶縁層３３ａの上面に形成された導体層３４ａの領域に対応する部分に開口部ＭＰを有するように成形された金属板（メタルマスク４６）を、ソルダレジスト層３５ａの上に貼り付ける。次の工程では（図７（ｄ）参照）、メタルマスク４６の上からペースト状又はクリーム状のはんだ３６を印刷する。これによって、はんだ３６がメタルマスク４６の開口部ＭＰを充填し、絶縁層３３ａ上の導体層３４ａに付着される。

【００３８】次の工程では（図８（ａ）参照）、メタルマスク４６を剥離して除去する。以上の工程により、本実施形態に係るリードレス部品の実装用基板３０が作製されたことになる。次の工程では（図８（ｂ）参照）、前の工程で作製された実装用基板３０の凹部ＲＰ３に、実装すべきリードレス部品２０を配置する。つまり、リードレス部品２０の底面に形成された部分の電極２１がコア基板３１上の導体層３２ａに接触し、且つ、当該部品の両側に公差Ｄに応じた隙間が確保されるように、当該部品の位置合わせを行う。

【００３９】最後の工程では（図８（ｃ）参照）、実装用基板３０上のはんだ３６に対してリフローを行い、リードレス部品２０を実装する。このとき、リフローにより溶融したはんだ３６は、レベルＬ１（導体層３４ａ側）からレベルＬ２（導体層３２ａ側）に流れ込み、リードレス部品２０を実装用基板３０の凹部ＲＰ３に配置したときにできる隙間（公差Ｄに応じた隙間）を充填する（はんだ３６ａ）。

【００４０】以上の工程により、本実施形態に係るリードレス部品の実装構造１０が作製されたことになる。以上説明したように、本実施形態に係るリードレス部品の実装構造１０（実装用基板３０を含む）及びその製造方法によれば、実装用基板３０の凹部ＲＰ３の対向する両側の上端部（絶縁層３３ａの上面に形成された導体層３４ａ）にはんだ３６が付着されているので、後の工程で、又は必要なときに、このはんだ３６をリフローにより溶融させることでリードレス部品２０を実装用基板３０の凹部ＲＰ３に実装することができる。

【００４１】このとき、リフローにより溶融したはんだ３６は、レベルＬ１（導体層３４ａ側）からレベルＬ２（導体層３２ａ側）に流れ込み、公差Ｄに応じた隙間を埋めて成形・硬化されるので（はんだ３６ａ）、リードレス部品２０のＬ字状の電極２１と、実装用基板３０に形成された「階段状」の導体層３２ａ，３４ａとの間の電気的な接続が確保されると共に、実装強度を増大させることができる。これは、背の高いリードレス部品２０の安定した実装に寄与する。

【００４２】また、リードレス部品２０を実装する領域として供される凹部ＲＰ３の大きさは、当該部品の実装面積よりも僅かに公差Ｄの分だけ大きく選定されているにすぎず、従来の技術（図２（ｂ）に示した方法）で必要とされていた余分な作業空間（スペースＳＰ）を必要とすることなくリフローによるはんだ付けを行うことができる。これによって、実装面積を増大させることなく（基板の小型化）、リードレス部品２０の安定した実装を確実に行うことが可能となる。

【００４３】上述した実施形態では、リードレス部品２０が実装用基板３０から突出した形態で実装された場合について説明したが、実装するリードレス部品の高さによっては、実装用基板３０から突出することなく、つまり、実装用基板３０に形成された凹部（図８（ａ）において参照符号ＲＰ３で示す部分）の内部に実装できる場合がある。このような場合、その凹部の内部に実装したリードレス部品の上に別の部品を実装することが可能である。その一例を図９に示す。

【００４４】図９に示す実装構造１０ａでは、リードレス部品２０ａが実装用基板３０に埋め込まれた形態で実装され、更にこのリードレス部品２０ａの上方に、別の部品５０がそのリード５１を介して実装用基板３０に実装されている。上側に実装する部品５０のリード５１は、はんだ３６ａを介して導体層３４ａに電気的に接続されており、更にこの導体層３４ａは、実装用基板３０に埋設・実装されたリードレス部品２０ａの電極に電気的に接続されている。

【００４５】図９に示す実装構造１０ａによれば、リードレス部品２０ａと別の部品５０とが積み重ねられた形態で実装されているので、実装用基板３０の小型化及び高密度実装を図ることができ、更に、両部品２０ａ，５０が互いに近接して配設されているので、後述するように周波数特性の改善を図ることができる。すなわち、最近の半導体素子の高集積化の要求に伴い、これを搭載する配線基板（実装用基板）についても配線の微細化、高密度化、小型化等が要求されているが、かかる配線基板では配線パターンが高密度に形成されているため、配線

間でクロストークノイズが生じたり、また電源ライン等の電位が変動したりするなどの問題が生じる。特に、高速のスイッチング動作が要求される高周波用の半導体素子を搭載する基板では、周波数の上昇に伴いクロストークノイズが発生し易くなり、またスイッチング素子が高速にオン／オフすることでスイッチングノイズが発生し、これによって電源ライン等の電位が変動し易くなる。

【００４６】そこで、このような不都合を解消するために、従来より、チップキャパシタ等の容量素子を半導体素子の近傍に配設して信号ラインや電源ライン等を「デカップリング」することが行われている。このとき、その容量素子と半導体素子との間が距離的に離れていると、両者間を接続する配線のインダクタンスが大きくなり、容量素子によるデカップリング効果を十分に発揮できない。従って、インダクタンスを出来るだけ小さくするために、容量素子は半導体素子の出来るだけ近くに配置することが望ましい。

【００４７】図９に示す実装構造１０ａにおいては、両部品２０ａ，５０は互いに近接して配設されているので、例えば、一方の部品をＩＣ等の能動素子とし、他方の部品をチップキャパシタとした場合、高周波特性を向上させることが可能となる。

【００４８】

【発明の効果】以上説明したように本発明によれば、実装用基板にチップ部品の実装領域として供される凹部を形成し、この凹部の大きさを、チップ部品の公差の分だけその実装面積よりも大きく選定すると共に、凹部の両側の上端部に所定量のはんだを付着させておくことにより、必要なときにこのはんだを溶融させることで、実装面積を増大させることなく（基板の小型化）、背の高いチップ部品の安定した実装を実現することができる。

【図面の簡単な説明】

【図１】従来技術の一例に係るリードレス部品の実装に際しての問題点を説明するための図である。

【図２】従来技術の他の例に係るリードレス部品の実装に際しての問題点を説明するための図である。

【図３】本発明の一実施形態に係るリードレス部品の実装構造を模式的に示す断面図である。

【図４】図３の実装構造の製造工程を示す断面図である。

【図５】図４の製造工程に続く製造工程を示す断面図である。

【図６】図５の製造工程に続く製造工程を示す断面図である。

【図７】図６の製造工程に続く製造工程を示す断面図である。

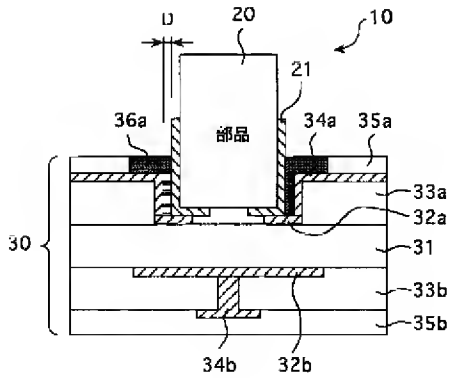
【図８】図７の製造工程に続く製造工程を示す断面図である。

【図９】本発明の他の実施形態に係るリードレス部品の実装構造を模式的に示す断面図である。

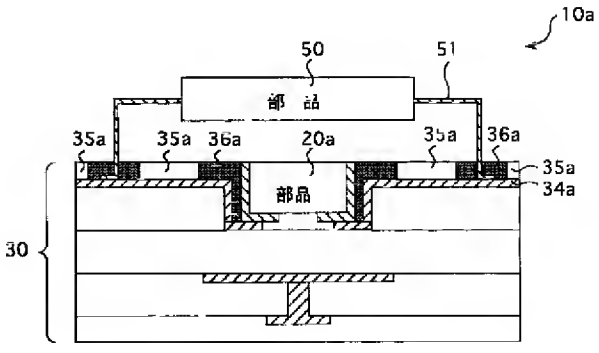
【符号の説明】

１０，１０ａ…リードレス部品の実装構造
２０，２０ａ…リードレス部品（チップ部品）
２１…リードレス部品の電極
３０…実装用基板
３１…コア基板（絶縁体）
３２ａ，３２ｂ，３４ａ，３４ｂ…導体層
３３ａ，３３ｂ…絶縁層
３５ａ，３５ｂ…ソルダレジスト層（保護膜）
３６，３６ａ…はんだ
５０…別の部品
D…リードレス部品の公差
ＲＰ３…実装用基板の凹部

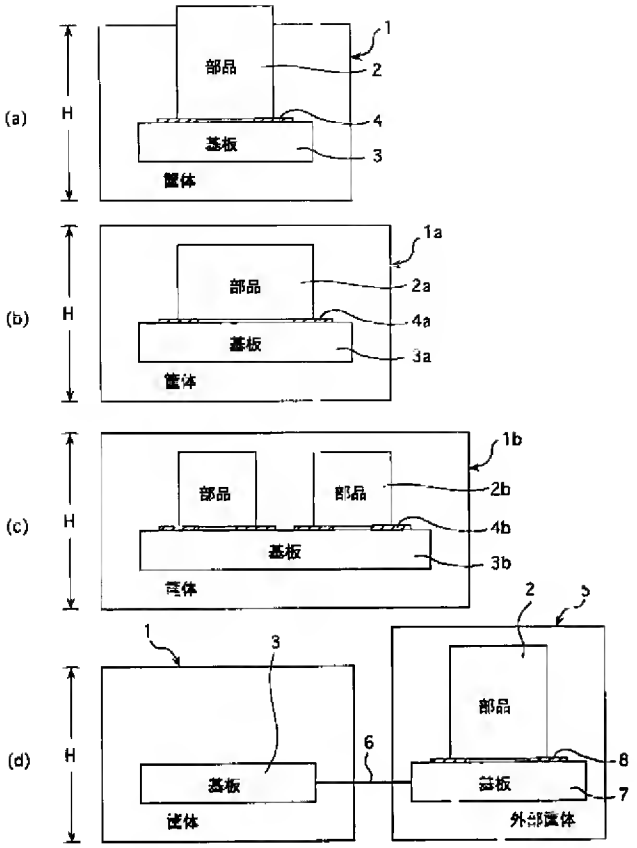
【図３】



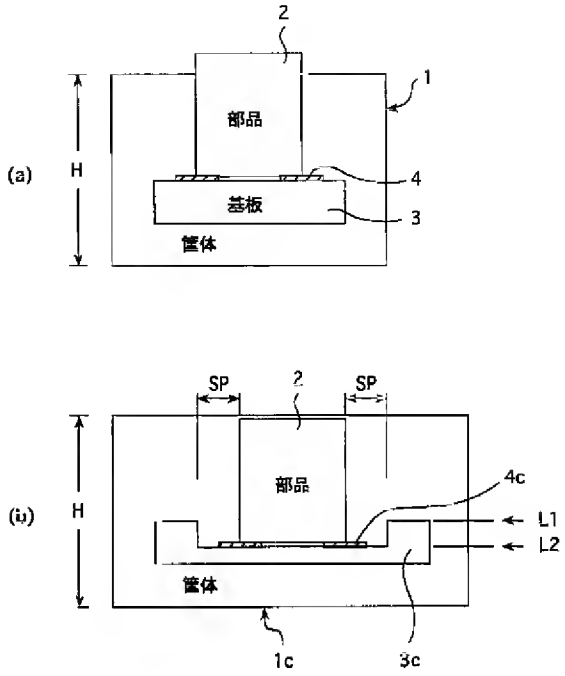
【図９】



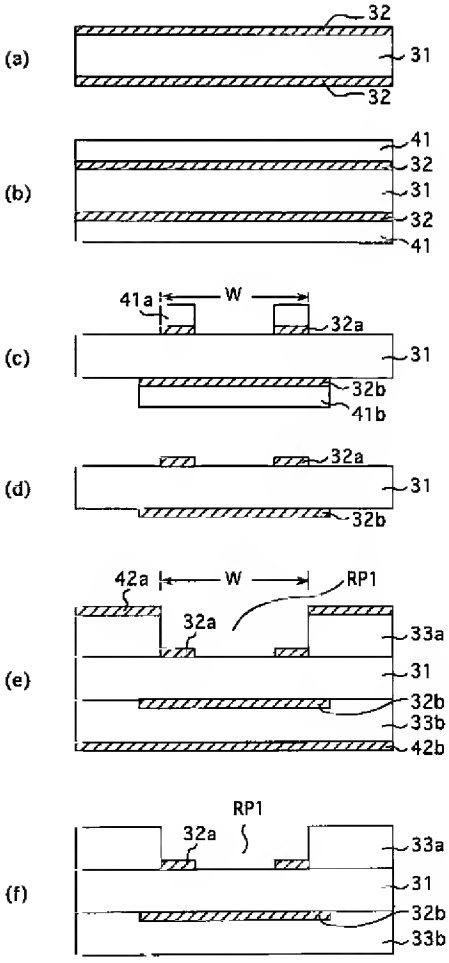
【図1】


(a)
H
部品
基板
筐体
1
2
4
3
(b)
H
部品
基板
筐体
1a
2a
4a
3a
(c)
H
部品
部品
基板
筐体
1b
2b
4b
3b
(d)
H
基板
筐体
部品
基板
外部筐体
1
3
6
2
5
8
7

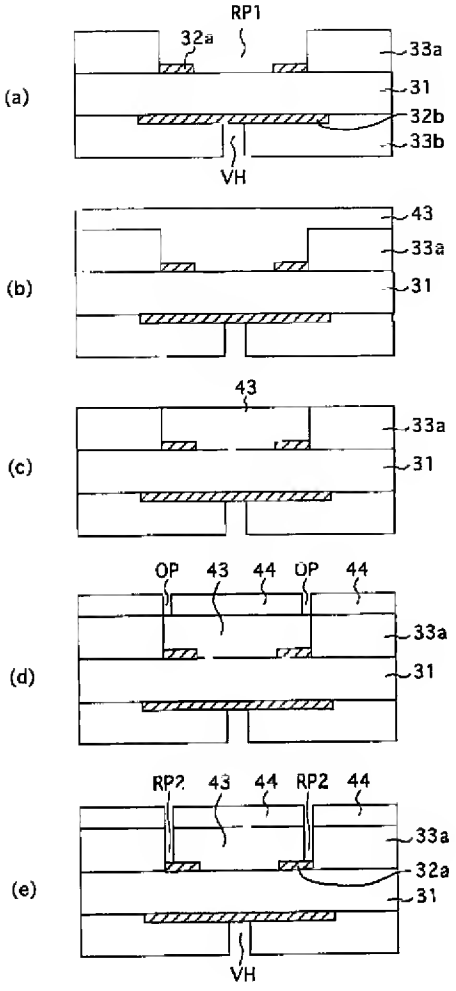
【図2】


(a)
H
部品
基板
筐体
2
1
4
3
(b)
H
部品
基板
筐体
SP
2
SP
4c
L1
L2
1c
3c

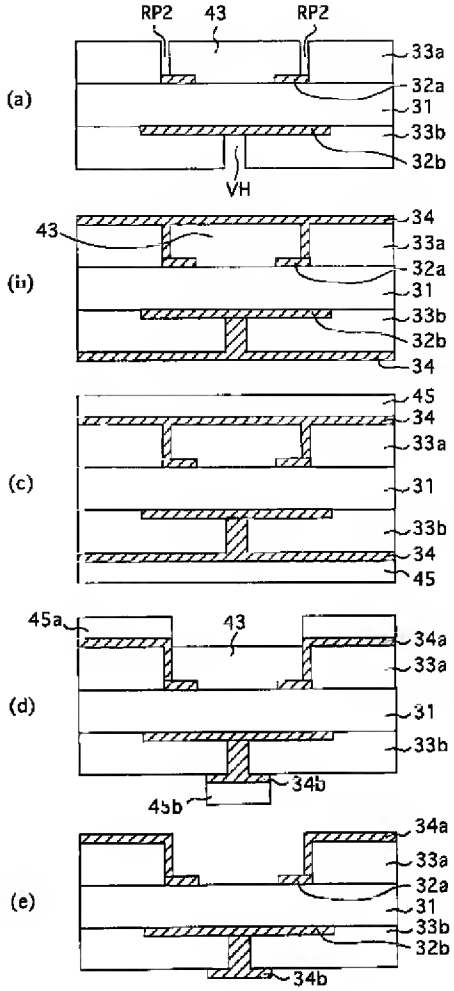
【図4】


(a)
32
31
32
(b)
41
32
31
32
41
(c)
41a
W
32a
31
32b
41b
(d)
32a
31
32b
(e)
42a
W
RP1
32a
33a
31
32b
33b
42b
(f)
RP1
32a
33a
31
32b
33b

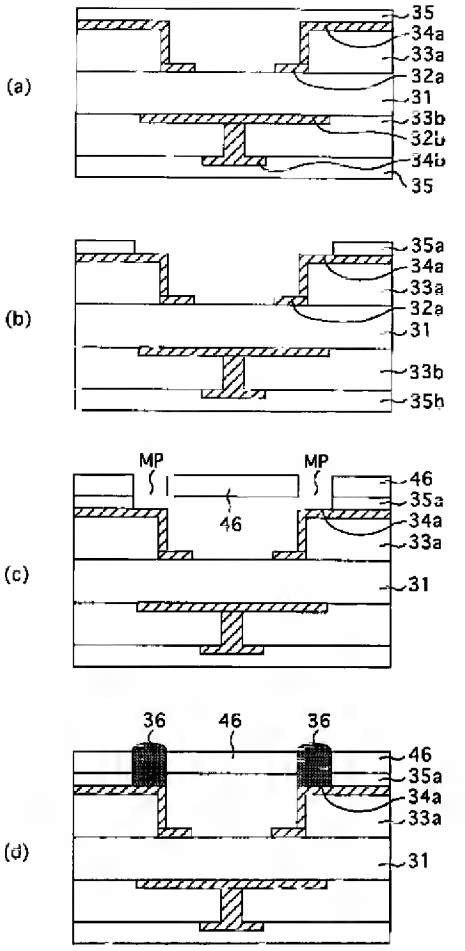
【図5】


(a)
RP1
32a
33a
31
32b
33b
VH
(b)
43
33a
31
(c)
43
33a
31
(d)
OP
43
44
OP
44
33a
31
(e)
RP2
43
44
RP2
44
33a
32a
31
VH

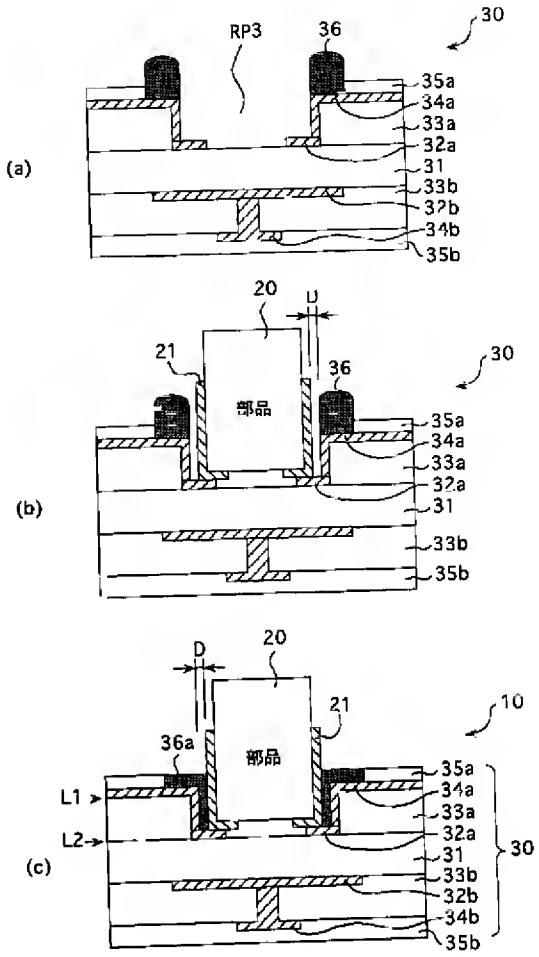
【図6】


(a)
RP2
43
RP2
33a
32a
31
33b
32b
VH
(ii)
43
34
33a
32a
31
33b
32b
34
(c)
45
34
33a
31
33b
34
45
(d)
45a
43
34a
33a
31
33b
34b
45b
(e)
34a
33a
32a
31
33b
32b
34b

【図7】


(a)
35
34a
33a
32a
31
33b
32b
34b
35
(b)
35a
34a
33a
32a
31
33b
35b
(c)
MP
MP
46
46
35a
34a
33a
31
(d)
36
46
36
46
35a
34a
33a
31

【図8】


(a)
RP3
36
30
35a
34a
33a
32a
31
33b
32b
34b
35b
(b)
20
D
21
36
30
部品
35a
34a
33a
32a
31
33b
35b
(c)
D
20
21
10
36a
部品
L1
L2
35a
34a
33a
32a
31
33b
32b
34b
35b
30